МІНІСТЕРСТВО ОСВІТИ І НАУКИ, МОЛОДІ ТА СПОРТУ УКРАЇНИ

*НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ УКРАЇНИ*

*«КИЇВСЬКИЙ ПОЛІТЕХНІЧНИЙ ІНСТИТУТ»*

*Архітектура комп’ютерів - 1. Арифметичні та управляючі пристрої*

*Методичні вказівки до виконання лабораторних робіт*

*для студентів напряму підготовки*

*«6.050102 – Комп’ютерна інженерія»*

*кафедри обчислювальної техніки*

*Рекомендовано*

*Вченою радою факультету*

*інформатики та обчислювальної*

*техніки НТУУ «КПІ»*

*Протокол № \_\_ від \_\_.\_\_\_\_\_\_\_\_\_\_.2017р.*

Київ

НТУУ «КПІ»

2017

*Архітектура комп’ютерів 1. Арифметичні та управляючі пристрої. Методичні вказівки до виконання лаборатопрних робіт. [Текст] / Уклад.: В.І.Жабін, І.А. Клименко – К.: НТУУ «КПІ», 2012. – 36 с.*

Методичні вказівки призначені для студентів напряму підготовки 6.050102 «Комп’ютерна інженерія» професійного спрямування «Комп’ютерні системи та мережі» кафедри обчислювальної техніки всіх форм навчання. Наведено завдання та методичні вказівки до виконання лабораторних робіт з дисципліни «Архітектура комп’ютерів – 1. Арифметичні та управляючі пристрої», питання для самоконтролю, список необхідної літератури.

Укладачі: В.І. Жабін, д.т.н., професор

І.А. Клименко, д.т.н., доцент

Рецензент: Теленик С.Ф., доктор технічних наук, професор

завідувач кафедри

автоматики i управління в технічних системах

*За редакцією укладачів*

# ЗМІСТ

[ЗМІСТ 3](#_Toc327688527)

[ВСТУП 4](#_Toc327688528)

[ПЕРЕЛІК СКОРОЧЕНЬ 6](#_Toc327688529)

Лабораторна робота №2 (Приклад виконання)

[АРИФМЕТИКО-ЛОГІЧНІ ПРИСТРОЇ З РОЗПОДІЛЕНОЮ ЛОГІКОЮ 7](#_Toc327688530)

Лабораторна робота №3

[ПОБУДОВА БЛОКІВ ОБРОБКИ ДАНИХ НА ЕОМ з МІКРОПРОГРАМНИМ УПРАВЛІННЯМ 37](#_Toc327688565)

Лабораторна робота №4

[РОЗРОБКА МІКРОПРОГРАМ ПЕРЕТВОРЕННЯ ДАНИХ В ЕОМ 44](#_Toc327688567)

[СПИСОК ЛІТЕРАТУРИ 50](#_Toc327688568)

[Додаток 51](#_Toc327688569)

# ВСТУП

В методичних рекомендаціях узагальнені матеріали до виконання лабораторних робіт до курсу «Архітектура комп’ютерів» для студентів напряму підготовки 6.050102 «Комп’ютерна інженерія» професійного спрямування «Комп’ютерні системи та мережі» кафедри обчислювальної техніки всіх форм навчання.

Навчальний матеріал методичних вказівок відповідає одному кредитному модулю дисципліни «Архітектура комп’ютерів», а саме «Архітектура комп’ютерів – 1. Арифметика та управління».

Матеріал лабораторних робіт присвячений вивченню принципів організації та дослідженню арифметико-логічних і управляючих пристроїв, а також побудові функціональних та принципових електричних схем цифрових ЕОМ. В методичних вказівках приведені завдання та рекомендації до виконання лабораторних робіт. До лабораторних робіт надані теоретичні відомості, необхідні для виконання кожної роботи, приклади проектування, рекомендації до виконання завдання та саме завдання. До кожної лабораторної роботи надаються контрольні питання що застосовуються для контролю знань за відповідною тематикою.

Методичні рекомендації містять список рекомендованої додаткової літератури.

Виконання лабораторних робіт дозволяє розширити і закріпити теоретичні знання з дисципліни, опанувати навички проектування і дослідження арифметичних та управляючих пристроїв цифрових ЕОМ. Кожній лабораторній роботі повинна передувати самостійна підготовка студентів, в процесі якої вони докладно вивчають опис лабораторної роботи, відповідні розділи посібника, конспекту лекцій та літературні джерела. В процесі підготовки складається звіт про лабораторну роботу, в якому повинні бути відображені всі пункти теоретичного завдання, а також заготовлені для виконання експериментальної частини лабораторної роботи таблиці, осі для часових діаграм і таке інше. Перед початком лабораторної роботи результати підготовки перевіряються викладачем. За цим студент повинен представити заготовлений звіт і відповісти на контрольні питання. Перед початком наступного заняття в лабораторії студент представляє викладачеві цілком оформлений звіт за попередньою роботою. Звіт повинен містити короткі теоретичні відомості, необхідні для виконання завдання, відповіді на контрольні питання, усі схеми, формули, таблиці, діаграми, графіки, отримані при виконанні завдання та в процесі експериментального дослідження схем, а також висновки за роботою. Залік за виконання лабораторної роботи студент одержує після співбесіди за тематикою виконаної роботи.

Теоретичний матеріал та зміст лабораторних робіт відповідають навчальному плану дисципліни «Архітектура комп’ютерів».

Автори методичних вказівок вдячні рецензентам за слушні зауваження, що дозволили покращити якість матеріалу.

# ПЕРЕЛІК СКОРОЧЕНЬ

|  |  |  |
| --- | --- | --- |
| АЛБ | – | Арифметико-логічний блок |
| АЛП | – | Арифметико-логічний пристрій |
| БМУ | – | Блок мікропрограмного управління |
| БУ | – | Блок управління |
| ВМ | – | Вертикальне мікропрограмування |
| ГМ | – | Горизонтальне мікропрограмування |
| ДК | – | Доповнювальний код |
| ЕОМ | – | Електронно-обчислювальні машини |
| ЗК | – | Зворотний код |
| МА | – | Мікроалгоритм |
| МК | – | Мікрокоманда |
| МО | – | Мікрооперація |
| МП | – | Мікропрограма |
| НОЗП | – | Надоперативний запам’ятовуючий пристрій |
| ОПр | – | Операційний пристрій |
| ОП | – | Основна пам’ять |
| ОС | – | Операційна схема |
| ОТ | – | Обчислювальна техніка |
| ПЗП | – | Постійний запам’ятовуючий пристрій |
| ПК | – | Прямий код |
| ПМК | – | Пам’ять мікрокоманд |
| ПЛМ |  | Програмовані логічні матриці |
| УГП | – | Умовне графічне позначення |
| УП | – | Управляючий пристрій |
| УС | – | Управляючий сигнал |

**ЛАБОРАТОРНА РОБОТА №2**

# АРИФМЕТИКО-ЛОГІЧНІ ПРИСТРОЇ З РОЗПОДІЛЕНОЮ ЛОГІКОЮ

*Мета роботи:* вивчити основні методи множення чисел у прямих кодах і способи їх апаратної реалізації, одержати навички в проектуванні й налагодженні схем управління операційними пристроями з розподіленою логікою.

#### Теоретичні відомості [1, 2, 3, 4, 5, 6]

## Додаткові теоретичні відомості

### Синтез арифметико-логічних пристроїв з розподіленою логікою

За структурою розрізняють АЛП з розподіленою та зосередженою логікою (інакше АЛП із закріпленими та загальними мікроопераціями).

В АЛП першого типу апаратура для реалізації мікрооперацій розподілена між регістрами та закріплена за ними, тобто кожен регістр використовує власну логіку для виконання мікрооперацій. У пристроях другого типу всі логічні ланцюги об'єднані в арифметико-логічному блоці, а всі регістри реалізовані у вигляді надоперативного запам’ятовуючого пристрою.

АЛП з розподіленою логікою складаються з двох функціональних частин (рис. 2.2): управляючий пристрій, що забезпечує формування всіх управляючих сигналів; операційний пристрій, забезпечує перетворення інформації та виконує мікрооперації над машинними словами.

Побудова таких АЛП відбувається за наступними етапами:

* 1. Для кожної операції будується операційна схема та функціональний мікроалгоритм (Ф-микроалгоритм). Рекомендується обирати такі мікроалгоритми виконання операцій, що краще сполучаються, тобто вимагають однакового напрямку зсувів в регістрах, однакову розрядність регістрів, одні й ті самі джерела операндів суматорів і таке інше.

|  |
| --- |
|  |
| Рис. 2.2. Загальна структура АЛП |

* 1. Обирається розрядність регістрів, лічильників. Виконується логічне моделювання роботи ОПр, наприклад, із застосуванням діаграми стану регістрів при виконанні МА з критичними значеннями операндів.
  2. Розробляється функціональна та принципова схеми ОПр із зазначенням управляючих сигналів для кожного вузла пристрою.
  3. Складається закодований структурний мікро алгоритм (С-ми­кро­алгоритм) виконання заданих операцій.
  4. Виконується синтез управляючого пристрою.
  5. Складається функціональна та принципова схеми АЛП.

***Приклад 1.*** Побудувати схему АЛП для реалізації операції множення чисел за першим способом. Синтезувати схему, що дозволяє обчислити добуток *Z*=*Y*×*X* двох правильних дробів *Y=* 0*, y*1*, y*2*…yn* та *X=* 0*, x*1*, x*2*…xn*. Вважати, що розрядність дробів *n* = 16.

***Виконання завдання***

Операційна схема, що реалізує перший спосіб множення, подана на рис. 2.3, де *RG*1 – регістр накопичення суми часткових добутків, *RG*2 – регістр множника, RG3 – регістр множеного, *RG*4 (*СТ*) – лічильник циклів, *ТС* – тригер переносу, *SM* – комбінаційний суматор. Регістри *RG*1 та *R*G2 реалізують мікрооперації зсуву, лічильник *RG*4 дозволяє формувати ознаку нуля – що визначає закінчення обчислення добутку. За нульовим вмістом регістру *RG*4 результат обчислення формується в регістрах *RG*1 та *R*G2.



Рис. 2.3. Операційна схема множення

|  |
| --- |
|  |
| Рис. 2.4. Ф-мікроалгоритм множення чисел |

Для розробленої операційної схеми побудуємо Ф-мікроалгоритм. Припустимо, що ОПр входить до складу АЛП із централізованим управлінням, отже робота цього блоку розпочинається із надходження сигналу “Пуск” від центрального блоку управління. Функціональний микроалгоритм зображений на рис. 2.4, де *ТС* – стан тригера переносу, *z* – значення ознаки нуля в лічильнику циклів *RG*4.

Логічне моделювання потактової роботи ОПр приведене в табл. 2.1

Значення операндів:

*Y* = 510 = 01012;

*X* = 710 = 01112;

*Z* = 3510 = 001000112.

Розрядність дробів *n* = 4.

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| *Таблиця 2.1.* Логічне моделювання роботи ОПр | | | | | | | |
| № такту | *RG*1 | *RG*2 | *TC* | *RG*3 | *RG*4 | *z* | МО |
| ПС | 0000 | 0101 | 0 | 0111 | 0101 | 0 | Початковий стан |
| 1 | 0000 | 0010 | 1 | 0111 | 0100 | 0 | *RG*1→, *RG*2→,  *RG*4 – 1; *z =* 0 |
| 2 | 0000  +0111  0111 | 0010 | 1 | 0111 | 0100 | 0 | *RG*1+ *RG*3 |
|  | 0011 | 1001 | 0 | 0111 | 0011 | 0 | *RG*1→, *RG*2→,  *RG*4 – 1; *z =* 0 |
| 3 | 0001 | 1100 | 1 | 0111 | 0010 | 0 | *RG*1→, *RG*2→,  *RG*4 – 1; *z =* 0 |
| 4 | 0001  +0111  1000 | 1100 | 1 | 0111 | 0010 | 0 | *RG*1+ *RG*3 |
|  | 0100 | 0110 | 0 | 0111 | 0001 | 0 | *RG*1→, *RG*2→,  *RG*4 – 1; *z =* 0 |
| 5 | 0010 | 0011 | 0 | 0111 | 0000 | 1 | *RG*1→, *RG*2→,  *RG*4 – 1; *z =* 1 |

На підставі ОС множення та Ф-мікроалгоритму складемо перелік управляючих сигналів для всіх функціональних частин ОПр та побудуємо функціональну схему.

Функціональна схема ОПр зображена на рис. 2.5. Перелік управляючих сигналів наведений в табл. 2.2.



Рис. 2.5. Функціональна схема операційного пристрою

|  |  |  |
| --- | --- | --- |
| *Таблиця 2.2.* Таблиця управляючих сигналів | | |
| Елемент | Мікрооперація | Управляючий сигнал |
| *RG*1 | Скидання | *R* |
| Запис | *W* |
| Зсув вправо | *SR* |
| Заповнення старшого розряду при зсуві вправо | *DR* |
| *RG*2 | Запис | *W* |
| Зсув вправо | *SR* |
| Старший розряд при зсуві вправо | *DR* |
| *RG*3 | Запис | *W* |
| *RG*4 | Запис | *W* |
| Декремент лічильника | *dec* |
| *TC* | Скидання | *R* |
| Запис молодшого розряду множника у тригер переносу | *C* |

За побудованою функціональною схемою будуємо функціонально-структурний мікроалгоритм (ФС-мікроалгоритм), що зображений на рис 2.6. Індекс указує до якої з функціональних частин пристрою множення належить управляючий сигнал.

Кодування сигналів управління та логічних умов наведене в табл. 2.3 – 2.4.

Для забезпечення перепаду сигналів управління *SR1, SR2, dec, СТС* (вершину з цими сигналами охоплює петля рис. 2.6)необхідно ввести порожню додаткову вершину.

Закодований ФС-мікроалгоритм зображений на рис. 2.7, де управляючі сигнали та сигнали логічних умов відповідають рис. 2.6 та табл. 2.2 – 2.4.

Отриманий закодований ФС-мікроалгоритм є вихідним для здійснення синтезу управляючого пристрою.

|  |  |
| --- | --- |
|  |  |
| Рис. 2.6. Функціонально-структурний мікроалгоритм | Рис. 2.7. Закодований функціонально-структурний мікроалгоритм |

|  |  |  |
| --- | --- | --- |
| *Таблиця 2.3.* Кодування сигналів управління | | *Таблиця 2.4.* Кодування  логічних умов |
| Управляючі сигнали | Код | |  |  | | --- | --- | | Логічні умови | Код | | Пуск | *ST* | | Аналіз молодшого розряду множника | *TC* | | Нульовий вміст лічильника | *z* | |
| *R*1 | *y*1 |
| *W*2 |
| *W*3 |
| *W*4 |
| *RТС* |
| *W1* | *y*2 |
| *SR*1 | *y*3 |
| *SR*2 |
| *СТС* |
| *dec* |

Для управління роботою ОПр застосуємо *пристрій управління з жорсткою логікою*, який реалізуємо у вигляді цифрового автомата Мура.

Розмітка Фс-микроалгоритма для автомата мура наведена на рис. 2.7. Стани автомата позначені символами *ai*. Часова діаграма роботи управляючого пристрою зображена на рис. 2.8. Часова діаграма відповідає потактовій роботі ОПр для прикладу, виконаного в табл. 2.1.

****

Рис. 2.8. Часова диаграма роботи пристрою управління

|  |
| --- |
|  |
| Рис. 2.9. Узагальнена структурна схема АЛП |

На рис. 2.9 зображена узагальнена структурна схема АЛП множення. Управляючі сигнали з виходів пристрою управління підключаються до входів відповідних функціональних частин ОПр.

Схема електрична функціональна АЛП для множення додатних чисел наведена у додатку А. Опис функціональної схеми наведений у прикладі 7.1.

## Підготовка до лабораторного заняття

1. Розробити структурну схему операційного пристрою та змістовний мікроалгоритм множення додатних чисел відповідно до завдання наведеного у табл. 2.7), де *a*6,…,*a*1 – молодші розряди двійкового номера залікової книжки. Для побудови схеми використати комбінаційний суматор, регістр-лічильник циклів та асинхронні регістри, що мають входи управління зсувами і занесенням інформації. На схемі повинні бути зазначені розрядність регістрів та шин.
2. Розробити функціональну схему операційного пристрою.
3. Виконати логічне моделювання роботи операційного пристрою за допомогою цифрової діаграми із зазначеними викладачем значеннями операндів.
4. Здійснити синтез пристрою управління, тип управляючого автомату обрати із табл.2.9. Пам’ять автомата реалізувати на тригерах, тип яких обрати з табл. 2.8. Ураховувати, що мікрооперації на регістрах виконуються за зворотним перепадом управляючих сигналів.
5. Побудувати часові діаграми роботи автомата для кожної комбінацій значень логічних умов.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| *Таблиця 2.7.* Варіанти завдання У ВАС ІНШЕ ЗАВДАННЯ (ОБЧИСЛЕННЯ ФУНКЦІЇ) | | | | |
| *a*6 | *a*5 | *a*4 | Спосіб множення | Розрядність операндів |
| 0 | 0 | 0 | 1 | 16 |
| 0 | 0 | 1 | 2 | 8 |
| 0 | 1 | 0 | 3 | 16 |
| 0 | 1 | 1 | 4 | 8 |
| 1 | 0 | 0 | 1 | 8 |
| 1 | 0 | 1 | 2 | 16 |
| 1 | 1 | 0 | 3 | 8 |
| 1 | 1 | 1 | 4 | 16 |

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| *Таблиця 2.8.*Варіанти завдання | | |  | *Таблиця 2.9.* Варіанти завдання | |
| a3 | a2 | Тип тригера |  | a1 | Тип автомата |
| 0 | 0 | JK |  | 0 | Мили |
| 0 | 1 | T |  | 1 | Мура |
| 1 | 0 | RS |  |  |  |
| 1 | 1 | D |  |  |  |

## Порядок виконання роботи

1. В моделюючій програмі ПРОГМОЛС 2.0 побудувати схему операційного пристрою для множення чисел та доповнити її схемою управляючого автомата. На першому етапі виходи автомата до входів операційного пристрою не підключати. Налагодити окремо схему операційного пристрою та схему управляючого автомата в синхронному режимі. Опис програмного комплексу ПРОГМОЛС 2.0 наведений у додатку М.
2. Підключити до управляючих входів операційного пристрою виходи автомата. Зробити комплексне налагодження схеми в синхронному режимі й переконатися в правильності одержання результату.
3. Перейти до асинхронного моделювання. Дослідити зазначені викладачем часові параметри схеми.

## Зміст звіту

Звіт з лабораторної роботи повинен включати короткі теоретичні відомості, необхідні для виконання лабораторної роботи; структурні та функціональні схеми; таблиці та діаграми, отримані при виконанні теоретичного завдання, а також у процесі моделювання схем; висновки за роботою.

## Контрольні питання

1. Охарактеризуйте чотири основних методи множення чисел.
2. Як розрахувати розрядність вузлів операційного пристрою?
3. Визначить поняття: операція, мікроалгоритм, мікрооперація.
4. Що таке мікроалгоритм операції?
5. Визначте основне призначення арифметико-логічного пристрою в ЕОМ.
6. Наведіть типи арифметико-логічних пристроїв, та їх основні відмінності.
7. Охарактеризуйте основні етапи проектування арифметико-логічного пристрою з розподіленою логікою.
8. Що відображує операційна схема виконання операції?
9. Що відображує функціональна схема пристрою?
10. В чому відмінність функціонального та структурного мікроалгоритмів?
11. Напишіть вирази, що визначають закони функціонування автоматів Милі та Мура.
12. У чому відмінність автоматів Милі та Мура?
13. Намалюйте узагальнену структурну схему управляючого автомата.
14. Охарактеризуйте основні етапи проектування управляючого автомата.
15. Як перейти від змістовного мікроалгоритму до закодованого мікроалгоритму?
16. Як побудувати граф автомата?
17. Як здійснюється оцінка станів автомата?
18. Як визначити необхідну тривалість управляючих сигналів?
19. Від чого залежить кількість тригерів, необхідних для побудови пам’яті автомата?
20. Як скласти структурну таблицю автомата?
21. Складіть таблицю переходів для *JK*-, *RS*-, *Т*- і *D*-тригерів. Наведіть їх умовне графічне позначення.
22. Чи можливий перехід автомата в стан, що непередбачений графом, при використанні тригерів із внутрішньою затримкою (тригерів, керованих рівнем сигналів)?
23. Коли можливе виникнення помилкових управляючих сигналів (що непередбачені графом автомата) і чим визначається їх тривалість?
24. Наведіть способи усунення короткочасних помилкових управляючих сигналів.
25. У чому суть «протигоночного» кодування станів автомата?
26. Як забезпечити перепад управляючого сигналу у випадку, коли операторну вершину з цим сигналом охоплює «петля»?
27. Як визначити час переходу автомата з одного стану в інший?

**ЛАБОРАТОРНА РОБОТА №3**

# ПОБУДОВА БЛОКІВ ОБРОБКИ ДАНИХ НА ЕОМ з МІКРОПРОГРАМНИМ УПРАВЛІННЯМ

***Мета роботи:*** Вивчення схемотехнічних особливостей, системи мікрооперацій ЕОМ з мікропрограмним управлянням і принципів побудови блоків обробки даних

#### Теоретичні відомості: 1.2., 1.4

## Підготовка до виконання практичної роботи

1. Вивчити структуру ЕОМ з мікропрограмним управлінням і способи побудови операційних блоків.
2. Записати номер варіанту (номер залікової книжки) у двійковому поданні і виділити шість молодших розрядів . За отриманими значеннями двійкових розрядів вибрати варіанти завдань.
3. Розробити операційну схему, Ф- і ФС-микроалгоритмы обчислення заданої функції для 16-розрядних двійкових чисел зі знаком (старший розряд – знаковий) відповідно до табл. 6.1.
4. Побудувати структурні схеми шістнадцятирозрядних операційних блоків. Для кожного операційного блоку визначити за допомогою часових діаграм мінімальну тривалість такту.
5. Розробити мікроалгоритм обчислення функції, що задана у табл. 6.1, забезпечивши формування результату у регістрі вказаному у табл. 6.2. Для подання вихідних даних застосувати доповнювальний код. Під час розробки мікроалгоритму передбачити формування на довільному виході операційного блоку ознаки, що вказує на наявність хоча би в одному розряді результату одиниці.
6. Скласти мікропрограму у кодах мікрокоманд.
7. Виконати числовий приклад застосувавши дані з табл. 6.3. Скласти цифрову діаграму стану регістрів.
8. Вивчити загальні положення до виконання практичних робіт із застосуванням лабораторного комплексу *COMPLEX*.

|  |  |  |
| --- | --- | --- |
| *Таблица 6.1.* Варіанти завдань | | |
|  |  | Функція |
| 0 | 0 |  |
| 0 | 0 |  |
| 1 | 1 |  |
| 1 | 1 |  |

|  |  |  |
| --- | --- | --- |
| *Таблица 6.2.* Варіанти завдань | | |
|  |  | Регістр |
| 0 | 0 | *RQ* |
| 0 | 0 | *R*4 |
| 1 | 1 | *R*5 |
| 1 | 1 | *R*6 |

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| *Таблица 6.3.* Варіанти завдань | | | | | |
|  |  | *X*1 | *X*2 | *X*3 | *X*4 |
| 0 | 0 | –17 | 12 | 17 | 3 |
| 0 | 0 | 12 | 2 | – | 15 |
| 1 | 1 | 18 | – | 23 | 11 |
| 1 | 1 | –9 | 10 | 31 | –21 |

## Порядок виконання роботи

1. Налагодити розроблену мікропрограму за допомогою лабораторного комплексу *COMPLEX*. Перевірити правильність обчислення заданої функції на числових прикладах.

2. Зробити висновки.

## Зміст звіту

Звіт з лабораторної роботи повинен включати короткі теоретичні відомості, необхідні для виконання лабораторної роботи; структурні та функціональні схеми; таблиці та діаграми, отримані при виконанні теоретичного завдання, а також у процесі моделювання схем; схему алгоритму, налагоджену мікропрограму у кодах мікропрограм, висновки за роботою.

## Контрольні питання

1. Які мікрооперації в розглянутій системі можна суміщувати, а які ні?
2. Приведіть структуру і функціональне призначення БОД.
3. Приведіть структуру мікрокоманди для БОД і функціональне призначення керуючих сигналів для БОД.
4. Охарактеризуйте основні способи додавання та віднімання чисел в ЕОМ. Опишіть загальний склад устаткування, необхідний для реалізації операцій додавання та віднімання в ЕОМ.
5. Що таке арифметичний та логічний зсув? Як забезпечити арифметичний та логічний зсув слів подвоєної довжини?
6. Наведіть структуру і функціональне призначення СУСЗ.
7. Які мікрооперації реалізуються в АЛБ. Як задати в мікропрограмі початкові значення в регістрах АЛБ.
8. Приведіть структуру МК для АЛБ і призначення управляючих сигналів.
9. Наведіть структуру і функціональне призначення СУСЗ.
10. Які мікрооперації виконуються над ознаками результату в СУСЗ? Які типи зсувів забезпечує СУСЗ?
11. Приведіть структуру МК для СУСЗ і призначення управляючих сигналів.

**ЛАБОРАТОРНА РОБОТА №4**

# РОЗРОБКА МІКРОПРОГРАМ ПЕРЕТВОРЕННЯ ДАНИХ В ЕОМ

*Мета роботи*. Вивчити архітектуру ЕОМ, що містить арифметико-логічний пристрій із двоадресним СОЗУ й блок мікропрограмного управління, одержати навички розробки мікропрограм

#### Теоретичні відомості []

## Додаткові теоретичні відомості

***Приклад 4.1.*** Розробити мікроалгоритм керування АЛП із суміщеними мікроопераціями для виконання операції множення за першим способом. Обчислити добуток *Z*=*Y* × *X* двох правильних дробів *Y=* 0. *y*1*, y*2*…yn* та *X=* 0. *x*1*, x*2*…xn*. Вважати, що розрядність дробів *n* = 16.

***Виконання завдання***

Операційна схема, що реалізує перший спосіб множення, подана на рис. 4.1, де *RG*1 – регістр накопичення суми часткових добутків, *RG*2 – регістр множника, RG3 – регістр множеного, *RG*4 (*СТ*) – лічильник циклів, *С* – біт переносу, *SM* – комбінаційний суматор. Регістри *RG*1 та *R*G2 реалізують мікрооперації зсуву, лічильник *RG*4 дозволяє формувати ознаку нуля – що визначає закінчення обчислення добутку. За нульовим вмістом регістру *RG*4 результат обчислення формується в регістрах *RG*1 та *R*G2.



Рис. 4.1. Операційна схема множення першим способом

Для розробленої операційної схеми (рис. 4.1) побудуємо Ф-мікроалгоритм. Функціональний микроалгоритм зображений на рис. 4.2, де *С* – стан біту переносу, *z* – значення ознаки нуля в лічильнику циклів *RG*4.

Значення операндів:

*Y* = 510 = 0.1012; *X* = 710 = 0.1112; *Z* = 3510 = 0.1000112.

Розрядність дробів з врахуванням знакового розряду: *n* = 4.



Рис. 4.2. Ф-мікроалгоритм множення чисел першим способом

На підставі ОС множення та Ф-мікроалгоритму розробляємо мікропрограму в символічних кодах мікроасемблеру.

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| *Таблиця 4.1.* Логічне моделювання роботи ОПр | | | | | | | |
| № такту | *RG*1 | *RG*2 | *C* | *RG*3 | *RG*4 | *z* | МО |
| ПС | 0000 | 0101 | 0 | 0111 | 0101 | 0 | Початковий стан |
| 1 | 0000 | 0010 | 1 | 0111 | 0100 | 0 | *RG*1→, *RG*2→,  *RG*4 – 1; *z =* 0 |
| 2 | 0000  +0111  0111 | 0010 | 1 | 0111 | 0100 | 0 | *RG*1+ *RG*3 |
|  | 0011 | 1001 | 0 | 0111 | 0011 | 0 | *RG*1→, *RG*2→,  *RG*4 – 1; *z =* 0 |
| 3 | 0001 | 1100 | 1 | 0111 | 0010 | 0 | *RG*1→, *RG*2→,  *RG*4 – 1; *z =* 0 |
| 4 | 0001  +0111  1000 | 1100 | 1 | 0111 | 0010 | 0 | *RG*1+ *RG*3 |
|  | 0100 | 0110 | 0 | 0111 | 0001 | 0 | *RG*1→, *RG*2→,  *RG*4 – 1; *z =* 0 |
| 5 | 0010 | 0011 | 0 | 0111 | 0000 | 1 | *RG*1→, *RG*2→,  *RG*4 – 1; *z =* 1 |

***Приклад 4.2.*** Розробити мікроалгоритм управління АЛП із зосередженою логікою для виконання операції множення за третім способом.

***Виконання завдання***

Для виконання задачі обираємо АЛП з односпрямованою магістраллю та двоадресним НОЗП, який дозволяє зменшити кількість мікрооперацій для перетворення даних.

Операційна схема множення за третім способом зображена на рис. 4.3. Операція множення виконуються із старших розрядів множника, за рахунок зсуву його вліво, сума часткових добутків також зсувається вліво, множене – нерухоме. Множник зберігається у регістрі *R*1, множене – у регістрі *R*3. У регістрі *R*2 накопичується сума часткових добутків. Регістр *R*4 застосовується як лічильник циклів. Розряд *С* регістру стану застосовується для збереження ознак при зсуві регістрів *R*1 та *R*2. Формування чергової суми часткових добутків у регістрі *R*2 відбувається із поширенням переносу у регістр *R*1. При цьому на суматорі *SM*1 підсумовується вміст регістру *R*1 з нулями, на вхід суматора *СІ* подається розряд *С* регістру стану, де збережений вихідний перенос суматора *SM*2.



Рис. 4.3. Операційна схема операції множення третім способом



##### Рис. 4.4. Управляючий мікроалгоритм виконання операції множення

Мікропрограма множення цілих 16-розрядних чисел за схемою на рис. 4.3 може мати наступний вигляд.

|  |  |  |
| --- | --- | --- |
| link | l[3]: ct | Завдання зв'язку між L3 й CT |
| accept | r12:0 | \ Занесення вихідних |
| accept | R15 :7fffh | \ даних |
| accept | r10:7fffh | \ в регістри |
| accept | r11:17 | \ і лічильник циклів |
|  | {cont;load rm, z;} | \ Обнулення RM |
| label1 | {cjp not rm\_c, label2;} | \ Аналіз цифри множника |
|  | {add r12, r12, R15, z;} | \ Додавання множеного до R12 |
| label2 | {or srl, r12, r12, z;} | \ Зсув в R12 й R10 суми |
|  | {or sr.9, r10, r10, z;} | \ часткових добутків |
|  | {sub r11,r11,z,z;  load rm, flags;cem\_c;} | \ Декримент і перевірка |
|  | {cjp not rm\_z, label1;} | \ на нуль лічильника (R11) |
|  | {} | \ на нуль лічильника (R11) |

***Рекомендації для розробки мікропідпрограм:***

**1.** Організація мікроінструкцій передачі управління

* умовні та безумовні переходи,
* циклічні конструкції,
* організація мікропідпрограм.

*Теоретичні відомості* [2, стор. 80 – 88, табл. 2.27]

*Приклади написання мікропідпрограм* [2, приклади 2.6 – 2.11, стор. 89 - 91; приклад 2.15, стор. 97]

**2.** Приклад реалізації циклу на базі вбудованих засобів БМК – РА/ЛЦ (регістр адреси/лічильник циклів) [2, стор. 80 – 88, табл. 2.27]

|  |  |  |
| --- | --- | --- |
|  | {ldct val;} | \ Основна програма |
| label | \ Тіло циклу |  |
|  | {rpct label;} | **\** повторити цикл  (перехід за  адресою label), вихід із циклу, якщо вміст РА/ЛЦ = 0 |
|  | \ Продовження основної програми | |

1. Вказівки з використання мікроасемблеру [2, Додаток А, стор. 424]

## Підготовка до лабораторної роботи

1. Записати номер варіанту (номер залікової книжки) у двійковому поданні і виділити шість молодших розрядів . За отриманими значеннями двійкових розрядів вибрати варіанти завдань.
2. Для 16-розрядного процесора розробити операційну схему, і Ф-микроалгоритм виконання заданої операції для 16-розрядних цілих двійкових чисел зі знаком (старший розряд – знаковий) відповідно до табл. 4.2. Дані з табл. 4.3 визначають форму подання даних (прямій або доповняльний код). Множення (А х В) реалізувати заданим способом множення, множення аргументів на 2 (4) реалізувати через арифметичні зсуви [2, стор. 51 – 54, табл. 2.20 (2.16); 3, стор. 249 – 253; 1, стор. 20 - 24]. Номери регістрів НОЗП і значення операндів для реалізації мікроалгоритму вибрати з табл. 4.5.
3. Розробити діаграму стану регістрів для додатних операндів (з врахуванням знакового розряду). З табл. 4.6 вибрати значення аргументів.Виписати контрольні значення проміжних результатів, які будуть використані при налагодженні мікропрограми.
4. Розробити мікропрограму реалізації мікроалгоритму множення з обробкою знаків в символічних кодах мікроасемблера. Для реалізації мікроалгоритму використати регістри R10-R15 (див. табл. 4.5).

|  |  |  |  |
| --- | --- | --- | --- |
| Таблиця 4.2 – Вибір арифметичної операції | | | |
| ***h*3** | ***h*2** | ***h*1** | **Спосіб множення (*А* х *В*)** |
| 0 | 0 | 0 | 1-м способом |
| 0 | 0 | 1 | 2-м способом |
| 0 | 1 | 0 | 3-м способом |
| 0 | 1 | 1 | 4-м способом |
| 1 | 0 | 0 | 1-м способом |
| 1 | 0 | 1 | 2-м способом |
| 1 | 1 | 0 | 3-м способом |
| 1 | 1 | 1 | 4-м способом |
| ***h*2** | ***h*3** | ***h*1** | **Функція для обчислення** |
| 0 | 0 | 0 | *D*=2*C*–2*AB* |
| 0 | 0 | 1 | *D*=2*A*(*B*+1)+2*C* |
| 0 | 1 | 0 | *D*=4*C*+*AB* |
| 0 | 1 | 1 | *D*=*AB*+2*C* |
| 1 | 0 | 0 | *D*=2*A*(2*B*+1)+*C* |
| 1 | 0 | 1 | *D*=4*A*(*B*-1)+ *C* |
| 1 | 1 | 0 | *D*=*A*(*B*+1) – 4*C* |
| 1 | 1 | 1 | *D*=4*A*(*B*-1) - *C* |

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| |  |  |  |  |  |  |  | | --- | --- | --- | --- | --- | --- | --- | | *Таблиця* 4.3. | | | | | | | | *h* 1 | *h* 2 | *h* 3 | Форма подання | | |  | | А | В | С | D | | 0 | 0 | 0 | ДК | ДК | ПК | ДК | | 0 | 0 | 1 | ПК | ПК | ДК | ДК | | 0 | 1 | 0 | ПК | ДК | ПК | ДК | | 0 | 1 | 1 | ДК | ПК | ПК | ДК | | 1 | 0 | 0 | ПК | ПК | ДК | ДК | | 1 | 0 | 1 | ДК | ДК | ПК | ДК | | 1 | 1 | 0 | ДК | ПК | ДК | ДК | | 1 | 1 | 1 | ПК | ДК | ДК | ДК | | |  |  |  |  |  | | --- | --- | --- | --- | --- | | *Таблиця* 4.4 | | | | | |  |  | Значення | | | | *h*6 | *h* 1 | A | B | C | | 0 | 0 | >0 | <0 | >0 | | 0 | 1 | <0 | >0 | <0 | | 1 | 0 | <0 | <0 | >0 | | 1 | 1 | >0 | >0 | <0 | |

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| |  |  |  |  |  |  | | --- | --- | --- | --- | --- | --- | | *Таблиця* 4.5 | | | | | | | ***h*1** | ***h2*** | ***h*4** | Регістри для збереження аргументів. За необхідності подвоєння довжини регістрів використати будь-який вільний регістр (R10 – R13),  або регістр *RQ*. | | Регістри для формування результату \*\* | | ***RGX*** | ***RGY*** | R14.R15 | | 0 | 0 | 0 | *R11* | *R10* | | 0 | 0 | 1 | *R*11 | *R*12 | | 0 | 1 | 0 | R12 | *R13* | | 0 | 1 | 1 | *R*13 | *R10* | | 1 | 0 | 0 | *R*11 | *R*13 | | 1 | 0 | 1 | *R10* | *R*12 | | 1 | 1 | 0 | *R*13 | *R*12 | | 1 | 1 | 1 | *R*12 | *R10* | | |  |  |  |  |  | | --- | --- | --- | --- | --- | | *Таблиця* 4.6 | | | | | | h1 | h2 | h3 | X1 | X2 | | 0 | 0 | 0 | 12 | 9 | | 0 | 0 | 0 | 12 | 10 | | 0 | 1 | 1 | 18 | 6 | | 0 | 1 | 1 | 19 | 5 | | 1 | 0 | 0 | 17 | 13 | | 1 | 0 | 0 | 6 | 15 | | 1 | 1 | 1 | 23 | 11 | | 1 | 1 | 1 | 11 | 21 |   \*\* - в І та ІІІ способі множення для зберігання множника можна задіяти один з регістрів результату (R14.R15), в залежності від напрямку зсуву суми часткових добутків (І спосіб – R14:=Z, R15:=X; ІІ спосіб – навпаки). |

## Порядок виконання роботи

Налагодити розроблену мікропрограму з використанням програмного емулятора. Зробити виводи по роботі.

## Зміст звіту

Звіт з лабораторної роботи повинен включати короткі теоретичні відомості, необхідні для виконання лабораторної роботи (характеристику заданого способу множення, алгоритм множення, алгоритм обробки знаків); операційну схему, що вказує на склад устаткування; цифрову діаграму стану регістрів, що обґрунтовує вибір розрядності регістрів, мікроалгоритм в змістовних термінах та мікропрограму у символічних кодах з коментарями, висновки за роботою.

## Контрольні питання

1. Розробіть мікропрограму обчислення заданого арифметичного вираження.
2. Охарактеризуйте основні способи множення чисел.
3. Поясніть, як забезпечити арифметичний й логічний зсув слів подвоєної довжини?
4. Поясніть, яким чином можна управляти записом інформації в RM?
5. Поясніть призначення директив мікроасемблера.
6. Поясніть, що таке мікроалгоритм, мікропрограма, мікрооперація й мікрокоманда?
7. Які мікрооперації в розглянутій системі можна сполучати, а які не можна?
8. Як у ЕОМ подаються числа із плаваючою комою?
9. Як виконуються операції додавання та віднімання чисел із плаваючою комою у ЕОМ?
10. Як виконується операція множення чисел із плаваючою комою у ЕОМ?
11. Як виконується операція ділення чисел із плаваючою комою у ЕОМ?
12. Як виконується етап зрівняння порядків у розробленому пристрої?
13. Наведіть склад устаткування необхідного для реалізації роз­гля­нутих операцій з числами з плаваючою комою.
14. Наведіть ознаки порушення нормалізації. Як виконується нормалізація результату у даній роботі?

# СПИСОК ЛІТЕРАТУРИ

1. Арифметичні та управляючи пристрої цифрових ЕОМ: Навчальний посібник / В.І.Жабін, І.А.Жуков, І.А.Клименко, Стиренко С.Г. – К.: ВЕК +, 2008. – 176 с.
2. Жабин В.И., Жуков І.А., Ткаченко В.В., Клименко І.А. Мікропроцесорні системи: Навчальний посібник. – К. Видавництво «СПД Гуральник», 2009. – 492 с.
3. *Прикладана* теорія цифрових автоматів: Навчальний посібник / В.І.Жабін, І.А.Жуков, І.А.Клименко, В.В.Ткаченко. – К.: Книжкове видавництво НАУ, 2007. – 364 с.